

4200-SCS 型半導体パラメータアナライザを用いた カーボン・ナノチューブ・トランジスタの電気特性評価

イントロダクション

カーボンナノチューブ（以後 CNT）は小ささだけではなく、その優れた電氣的及び機械的特性や多くの潜在的アプリケーションによって近年多くの科学研究の対象となってきた。従来の半導体デバイスのスケールダウンに関するいくつかの問題を解決するための代替として、カーボン・ナノチューブ・電界効果トランジスタ (CNT FET) のような CNT デバイスの研究が行なわれて来た。従来の半導体デバイスのようにスケールアップ問題の影響を受けない CNT FET はロジックデバイス、メモリデバイス、センサその他を含めた幅広い種類のアプリケーションに対し研究が行われている。それらのデバイスの研究では通常電圧 - 電流測定、パルス IV 測定または容量測定のような様々な電氣的パラメータを測定する必要があるが、繊細なナノ電子デバイスの電気特性評価には低電力レベルで且つ高感度に最適化された測定テクニックが要求される。

4200-SCS 型半導体パラメータアナライザは CNT FET の電気特性評価に対する様々な利益を提供する。この測定システムは複数の測定器をハードウェア、対話式ソフトウェア、グラフィック、解析機能を含んだ一つのシステムとして統合しているため、CNT FET の高感度の電気測定を簡便に且つ最適化された形で提供する。本稿では 4200-SCS 型を使用し CNT FET にて DC, パルス IV 及び CV 測定を最適化する方法について解説する。それには CNT トランジスタを測定する際に重要となる適切なケーブル接続やガーディング、シールドング、ノイズ低減手法やその他の測定に関する考察が含まれている。

カーボンナノチューブトランジスタ

単体の半導体特性を持つ CNT を

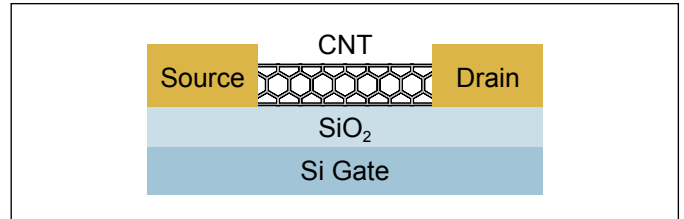


Figure 1. バックゲートのカーボンナノチューブ・トランジスタ

FET のソース、ドレイン間のチャンネルに使用する。Fig.1 に裏面ゲート構造のショットキーバリア CNT FET を示す。二つの金属接合が FET のソース、ドレイン端子を形成するために CNT の両端に配置され、CNT はゲート電極のドーパされたシリコン基板の上の酸化膜の上に形成されている。電氣的測定試験を実行するためには DUT のそれら 3 端子に接続を行う必要がある。

4200-SCS 型での電氣的特性試験

4200-SCS 型には CNT FET 測定にて一般的に使用されるいくつかの測定が用意されたプロジェクトが標準的に提供されている。そのプロジェクト (CNTFET) には IV、パ

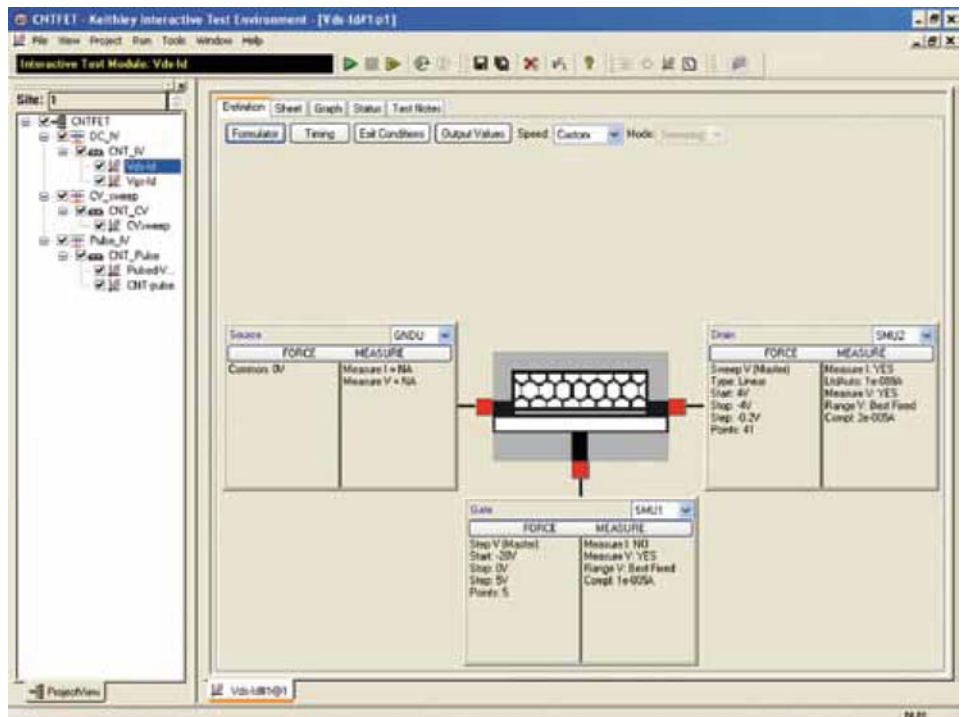


Figure 2. 4200-SCS 型の CNTFET プロジェクト

ルス IV 及び CV 測定が含まれている。IV 測定はモデル 4200-SMU に 4200-PA プリアンプオプションを追加した構成で実行できる。そしてパルス及び過渡 IV 測定は 4225-PMU 型超速 IV モジュールに二つモデル 4225-RPM を接続した構成で、そして CV 測定は 4210-CVU 型を使用する。

CNTFET プロジェクトは 4200-SCS 型の KTEI8.1 かそれ以降のバージョンで提供される (Fig.2 参照)。

電流 - 電圧測定

CNT トランジスタの IV 特性評価は多くのデバイスのパラメータ抽出、プロセスばらつきやプロセス技術の影響の調査等さまざまな調査に使用される。Fig.3 にモデル 4200-SMU を二つ組み合わせた構成での DC IV 測定の回路ダイアグラムを示す。それらの SMU で電流及び電圧の印加及び測定を行うが、ピコアンペアレベルの測定感度を維持しながらデバイスへのダメージを制限するための電流リミット設定を行うことができる。Fig.3 のダイアグラムでは、SMU1 は CNT FET のゲート端子に、SMU2 はドレイン端子にそれぞれ接続されており、さらにソース端子はグラウンドユニットもしくは三つ目の SMU に接続し必要に応じてソース電流測定も実行できる。

この例では、4200-SCS 型の KITE ソフトウェアは V_{ds} - I_d 測定を実行するために設定されており、Fig.4 に CNTFET プロジェクトを使用し取得した FET 特性結果を示す。

4200-SCS の KITE ソフトウェアは、デバイスへの接続を変更することなしに I_d - V_g 特性のようなその他の IV 測定を簡単に実行することができる。Fig.5 にその I_d - V_g カーブを示す。

DC 測定の最適化

以下の手法を用いることにより 4200-SCS 型での CNT

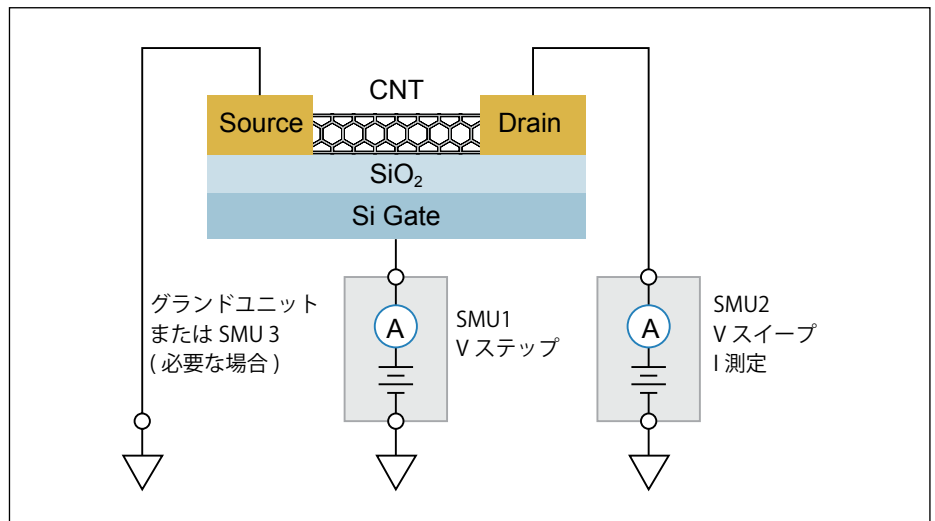


Figure 3. CNT FET の DC I-V 特性測定の回路図

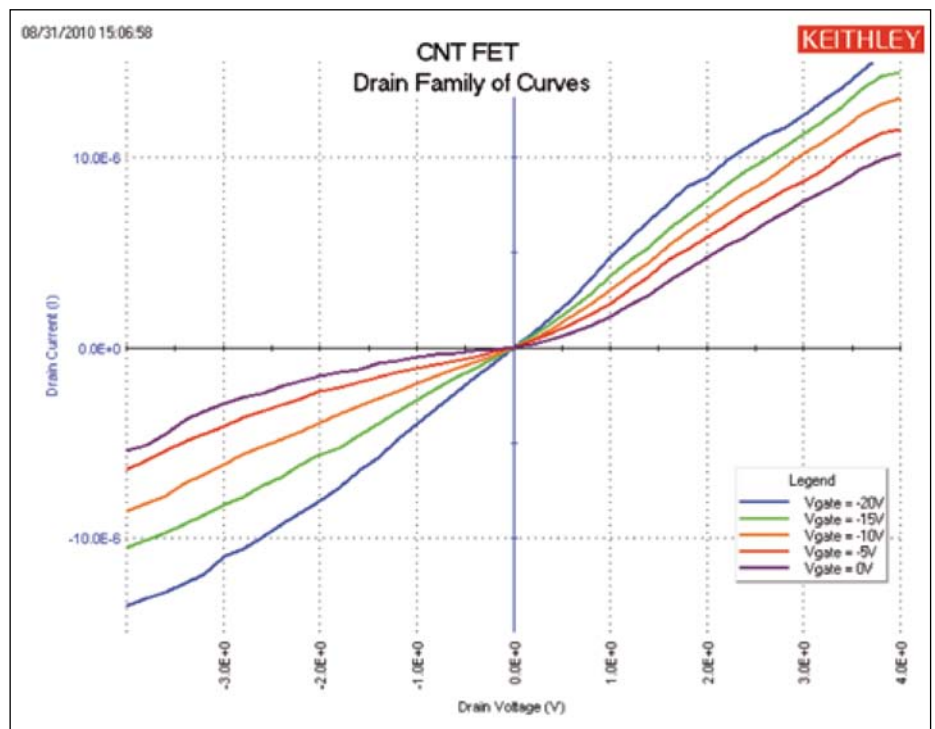


Figure 4. 4200-SMU ソースメジャユニットで測定した DC I-V ドレイン特性カーブ

FET の DC 測定の品質を向上することができる。

・リミット電流

IV 測定中のデバイスへのダメージを抑えるため、デバイスへ流入する電流の量を制限する必要がある。ソフトウェアにて安全な値に電流コンプライアンス値を設定することができる。

・十分なセトリング時間

CNT FET の測定にはしばしば 1uA 以下の微小電流測

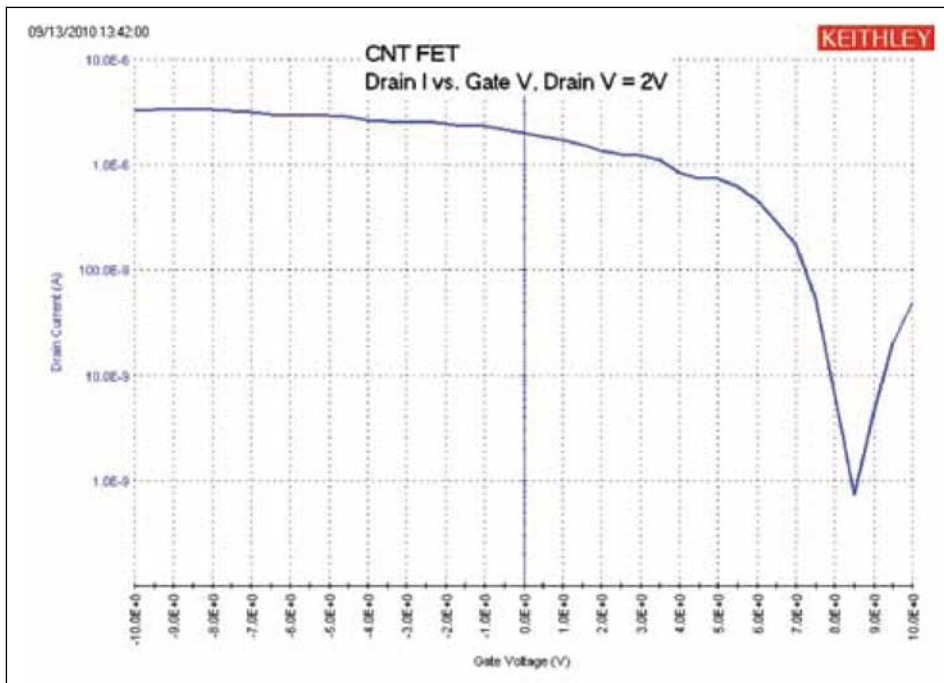


Figure 5. CNT FET のドレイン電流 vs. ゲート電圧

定が必要になるため、電流や電圧を与えてから安定するまで十分なセトリグ時間を与えられることが重要になる。測定のセトリグ時間に影響を与える要因としてケーブル、テストフィクスチャ、スイッチ、プローバを含めた回路、DUT の抵抗そして測定器の電流測定レンジがある。セトリグ時間を確保するために測定の前にディレーを追加することができる。そのディレー時間は KITE ソフトウェアのタイミングメニューにて容易に調整できる。

- 適切なスピードモード

タイミングメニューでは測定の積分時間と同様、読み取りのセトリグ時間に影響するディレーやフィルタファクタ設定を含むスピードモードが提供されている。ディレーファクタ、フィルタファクタ、A/D アパーチャ時間を増やすことにより測定ノイズを低減することができる。

- 測定ノイズの最小化

ノイズは粒子衝突、欠陥、AC ピックアップ、静電気干渉を含む様々な発生源が存在する。DC 信号を測定する際にノイズ信号が重畳されるとノイズな測定になる。それは精度を欠いたり、変動の大きい測定結果になる。

外部ノイズピックアップの最も一般的な形式は 60Hz(もしくは 50Hz) ラインサイクルピックアップで、よく蛍光灯

の近くで発生する。ケースレーはこの 60Hz(もしくは 50Hz) ラインピックアップの影響を最小限に抑えるため、ラインサイクル積分と呼ぶ手法を用いている。積分時間が電源供給ライン周期の整数倍に等しい場合、そのノイズは平均化により低減することができる。その電源供給ラインの周期数は KITE ソフトウェアのタイミングメニューにて調整できる。

静電気干渉も微小電流測定におけるノイズの原因の一つである。このカップリング現象は帯電物が測定回路に近づいた際に発生する。高インピーダンス回路において、その電荷は急激には減衰しないため不安定な測定が引き起こされる。

DC もしくは AC 静電界により読み取りエラーを起こす可能性があるため、静電気遮蔽によって低減する。

静電気遮蔽とは測定回路を密封した単なる金属ボックスである。プローバステーションにはよく静電遮蔽や暗箱が付いている。その遮蔽は測定回路の LO 端子 (SMU の Force LO 端子) に接続される必要がある。

Force LO 端子は SMU のトライアキシャルケーブルの外側シールドもしくは GNDU にある。全てのケーブルは低ノイズ設計及び遮蔽されている必要があり、1つのモデル 4200SMU に対し 2 本のトライアキシャルケーブルが付属している。

- プローブを上げた状態に保つ

デバイスの端子に測定器を接続したり切り離したりする際はプローバがアップポジション (デバイスに接触していない状態) になっていることを確認する。ケーブルを動かした際に摩擦電気やピエゾ効果によりデバイスに電荷を注入させダメージを与えてしまう原因となる可能性がある。

パルス IV 測定

従来の DC IV 測定に加え、様々な理由でパルス IV 測定の要求がある。第一の理由として、CNT デバイスの高速応答評価の重要性がある。また、ナノ構造のデバイスは従来の DC での IV 測定では発熱により破壊されてしまう可能性があるため、パルス IV 測定によりデバイス

におけるエネルギー散逸を低減させ、ダメージを緩和する必要がある。最後にパルス測定は DC 測定中に発生する電流ドリフトを抑制する。

CNT FET のパルス IV 測定はモデル 4225PMU 超高速 IV モジュールで容易に実現できる。モデル 4255-PMU は 2 チャンネルの高速で多値レベルのパルスを出力し、同時に電流と電圧をモニタする。このモジュールはパルスジェネレータとデジタルオシロスコープに接続機材やソフトウェアを組み合わせて構成した従来のパルス / 測定試験システムを置き換える。モデル 4225PMU にはパルス IV と過渡 IV の二つのモードがあり、それらを Fig.6 に示す。

パルス IV とは、パルス電圧源に対する高速で時間ベースの DC のような結果を提供する測定を指す。電流や電圧測定は“スポット平均”と呼ばれるパルス上の予め設定した測定値読み取り枠における平均値を返す。ユーザーはパルス幅、デューティ比、立上り・立下り時間、振幅等を含むパルスのパラメータを定義する。

過渡 IV もしくは波形取得とは、パルス波形を取得する時間ベースの電流もしくは電圧測定である。過渡応答測定はチャージトラップや自己発熱により時間に対しドレイン電流が低下するような時間変化のパラメータを調査するために通常単発パルス波形が使用される。過渡 IV 測定はパルス IV 測定にて適切なパルス設定を選択するための診断ツール、または動的なテスト回路を評価する目的で用いられる。

4225-PMU は 1 モジュール 2 チャンネル構成であるため、3 端子 CNT FET が 1 モジュールで測定できる。CNT FET に PMU モジュールを接続した標準的な試験構成を Fig.7 に示す。このダイアグラムでは PMU のチャンネル 1 はゲート端子に、チャンネル 2 がドレイン端子に接続されている。ソース端子は PMU 同軸コネクタの外部シールドであるコモンに接続されている。このコモン端子をプローブに接続するため、同軸ケーブルの外部をプローブに接続する BNC もしくはトライアキシャルのショートプラグを使用する。

モデル 4225-PMU でパルス IV カーブを取得した結果を Fig.8 に示す。この測定では $500 \mu s$ のパルス幅が使用されているが、それぞれの PMU は最小立上り 20nsec で 70nsec のパルス電圧を出力する能力がある。最小パルス幅は試験電流の大きさや試験回路の RC 時定数を含む様々なファクターに依存する。測定カーブの各ドット

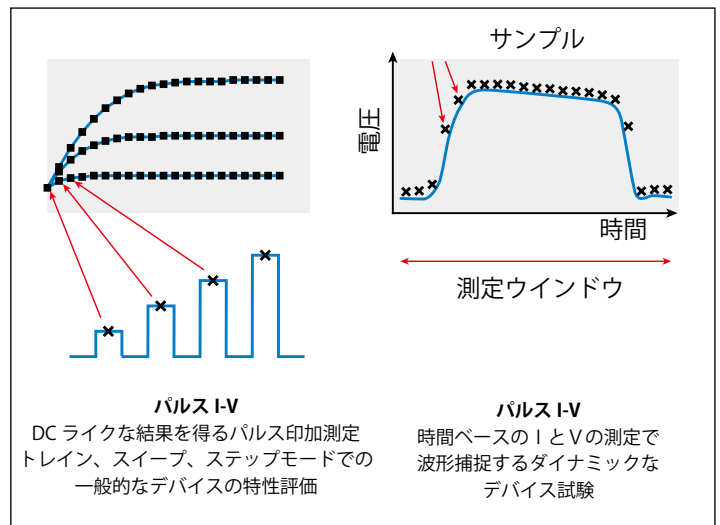


Figure 6. 測定を行う超速 I-V 印加 - 測定の 2 つのモード：パルス I-V, トランジェント I-V

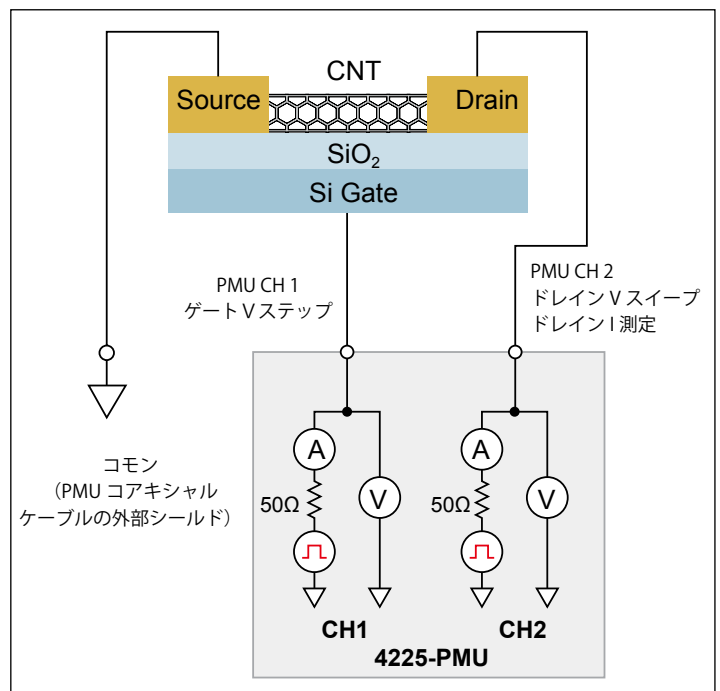


Figure 7. CNT FET のパルス I-V 特性を測定する回路

はパルス波形上の“スポット平均”の値を示している。

モデル 4225-PMU は 100uA から 800mA のスケール中 5 レンジを持っている。それより低い電流を測定するためには 100nA までさらに 6 レンジを追加できるモデル 4225-RPM リモートアンプ / スイッチの追加を推奨する。Fig.8 に示したパルス IV カーブは $100 \mu A$ レンジを使用し取得されている。しきい値電流を $20 \mu A$ に設定してあるため、そのレベルに達したときに測定が停止する。

いくつかのアプリケーションに対してCNT FETの過渡応答特性評価の必要がある可能性がある。その場合にはデバイスの時間に対する電流、電圧応答を取得できる波形取得モードが有効である。Fig.9にCNT FETの過渡応答特性を示す。青で示したカーブはパルスドレイン電圧、赤はその電流応答波形である。

青の電圧出力カーブは50 μ secのパルス幅で10 μ secの立上り/立下りで定義した波形にかなり近い。ここでパルス幅は1Vの入力振幅電圧の半分の位置の500mVで測定される。このサンプルにおけるサンプリング間隔は25nsecである。適切な配線やケーブル接続を行うことによりユーザーが定義した電圧波形が正しく出力できる。

赤のカーブはドレイン電流を示し、グラフの右軸でプロットされている。そのドレイン電流は一定ドレイン及びゲート電圧で測定されている。そのカーブにおけるピーク値はデバイスへの電流と同様ケーブルのチャージ及びディスチャージに起因しており、それらのピークはパルス電圧の変化時に発生している。パルス振幅電圧を減らすかパルスの立上り/立下り時間を長くすることにより、dV/dt値が小さくなり、その結果ピーク値を下げる事ができる。

パルス IV 測定最適化

4200-SCS型で行うパルスIV測定の品質を改善するため次のガイドラインを示す。

- 適切なケーブルと接続を用いる
適切なケーブルと接続を用いることは超高速IVアプリケーションにおいて、最も高い周波数出力で信号のひずみや容量によるチャージ現象を抑制するために重要である。

- 高周波 (少なくとも150MHz) に適したケーブルや接続を用いること。
- 50ohmに整合が取れた信号経路を用いること。
- DUTのLo側とPMU同軸ケーブルのシールドを接続すること。
- それぞれのPMUからのシールドをDUTのなるべく近くで接続すること。
- テスト回路において信号線とシールドが分かれている場合、そのループ面積をできるだけ小さくすること。
- ケーブル長を短くすること。

- 正しいチャック接続を行う

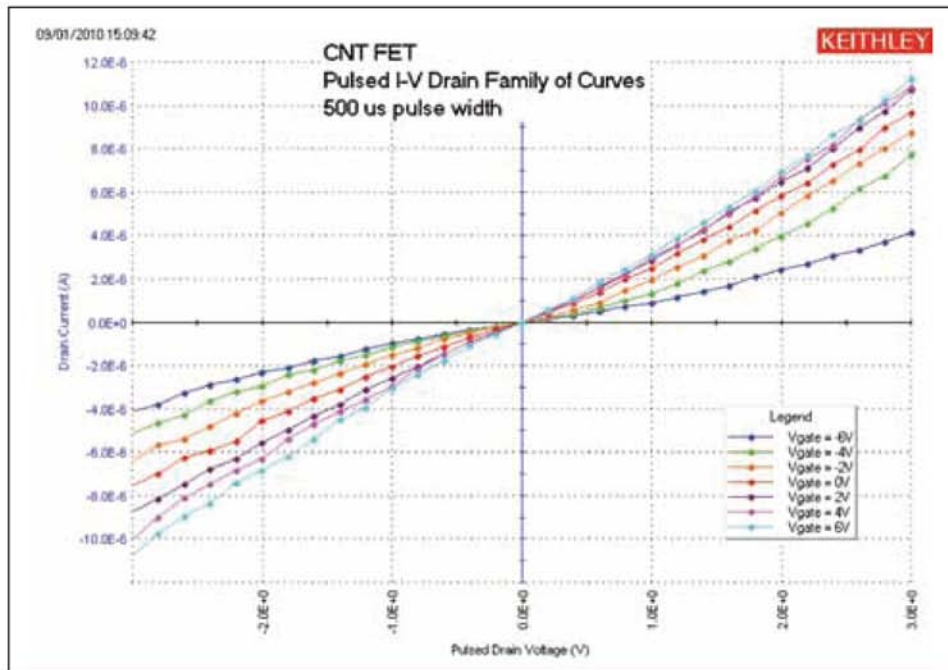


Figure 8. CNT FET のパルス I-V によるドレイン特性カーブ

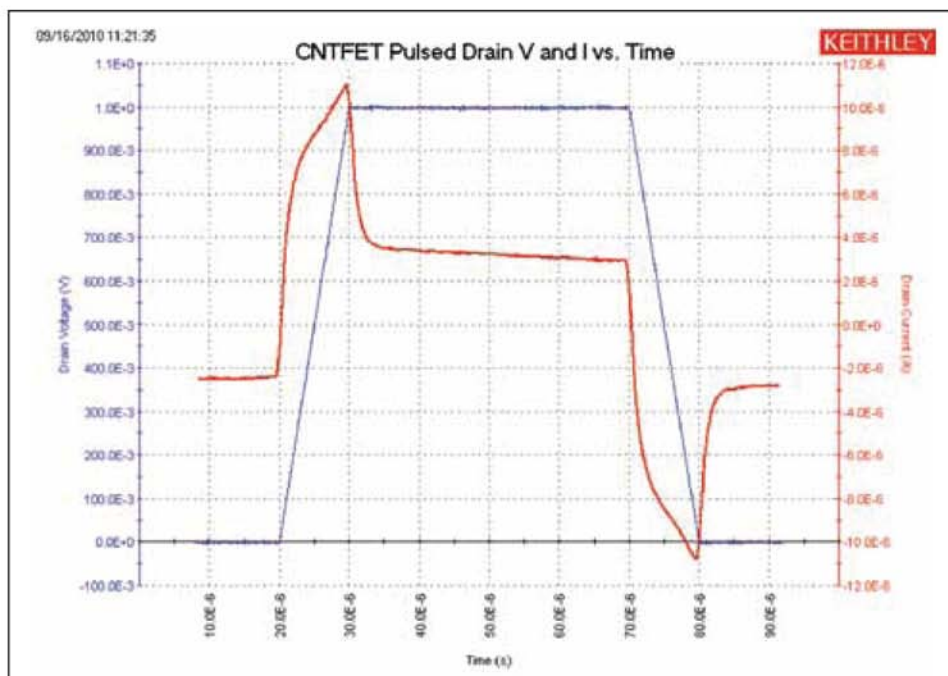


Figure 9. CNT FET への単発ドレイン電圧パルスとその結果流れるドレイン電流の波形

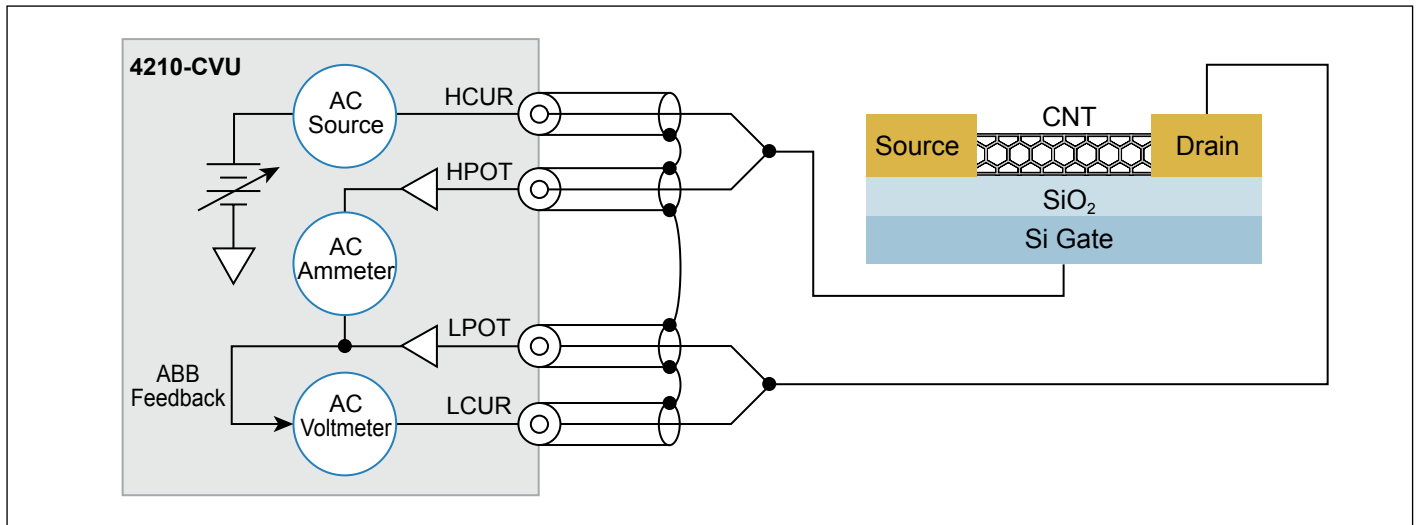


Figure 10. CNT FET と 4210-CVU 型の接続

CNT FET やその他のナノトランジスタは裏面か表面ゲート構造になっている。裏面ゲートデバイスでは PMU の一つのチャンネルをプローバのチャックに接続しなければならない。その場合ユーザは高速の立上り / 立下り、高周波、微小電流などいくつかの PMU の性能をあきらめることになる。その理由としては高周波 PMU チャンネル出力がチャックの容量とケーブルに接続されるため、印加の応答速度が低下し、測定値にノイズが乗ることによるためである。もし可能であれば 3 番目のマニピュレータを使い直接チャックに接続することが好ましいが、高周波での印加、測定においては全て表面での接続を行い PMU をチャックに接続することを避けることが最良な方法である。

・パルス幅の確認

十分長いパルス幅を確保することにより安定した読み取りを行うことができる。波形取得モードを使い単発波形を出力することにより電流波形のセトリングを確認する。電圧と電流の両方を時間の関数としてプロットすることができる。

・ノイズの低減

ノイズを低減するためには複数の波形を平均化する

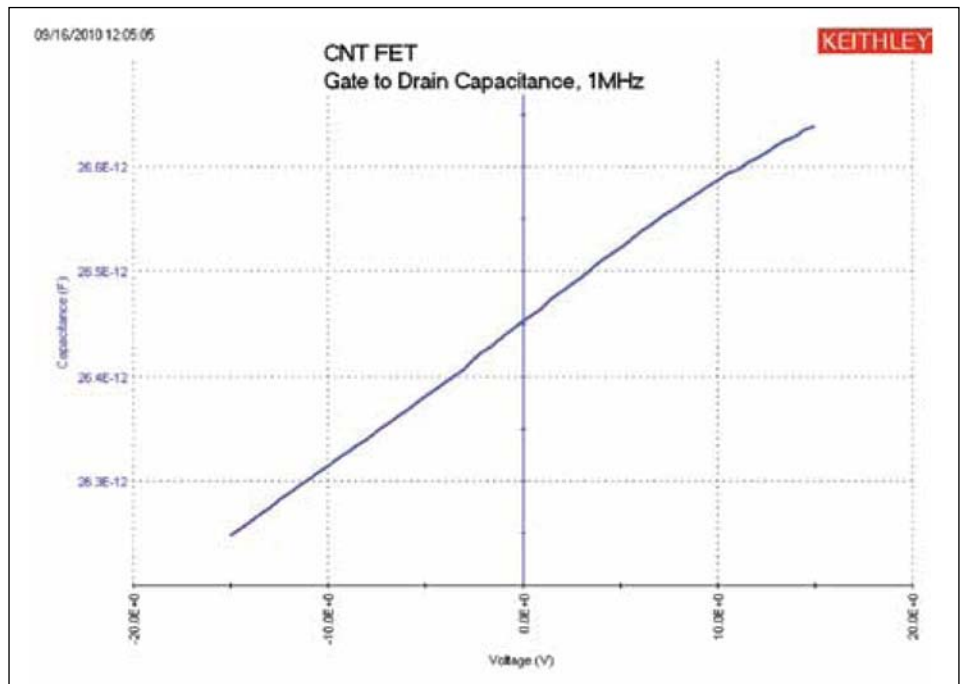


Figure 11. ゲート - ドレイン間容量の C-V カーブ

か、もしくは測定値を平坦化するための関数を使い移動平均を実行する。

容量 - 電圧測定

CNT FET における DC やパルス IV の測定に加えて、FET の容量を測定することにより移動度、時間の影響、ゲート絶縁膜を含んだデバイスに関する情報を得ることができる。Fig.10 にモデル 4210-CVU の CNT FET への接続を示す。この構成において、ゲート、ドレイン間の容量がゲート電圧の関数として計測される。

電圧源の HI をゲートに接続するため、HCUR/HPOT 端

子をチャックに接続する。容量を測定する LCUR/LPOT 端子を DUT のドレイン端子に接続する。良好な測定結果を得るためには測定端子をチャックに接続してはならない。表面ゲート型の CNT FET に対しては測定と電圧源を CVU の同じ端子から FET のゲートに供給し実行する。CVU の HI と LO 端子は KITE ソフトウェアにおける CVU の Force Measure Window で内部変更できる。Fig.11 に CNT FET のゲートとドレイン間の CV スweepの結果を示す。

容量測定の最適化

4210-CVU 型で容量測定の品質を改善するため次のガイドラインを示す。

- ・オープン補正の実施 (10pF 以下の測定に対して)
オープン補正機能によりケーブルや接続における容量のオフセットを補正する。それには補正の実行とその補正值を測定モジュール内で有効にするという二つのプロセスが必要になる。補正の実行はツールメニューを開き、CVU Connection Compensation を選択し、Measure Open をクリックする。その際プローブを切り離すか DUT をテストフィクスチャから取り除く。Forcing Function/Measure Option 画面において Compensation ボタンをクリックし補正を有効にする。
- ・適切なシールドの接続
同軸ケーブルのシールドどうしをできるだけ DUT の近くでつなぎ合わせる。これによりシールドのループ面積を小さくでき、インダクタンスが低減され、さらに伝送線効果の維持に役立つ。もしそのシールドがつながれていない場合、オフセットが発生する。この接続は高い周波数を使用する場合より一層重要になってくる。
- ・適切なホールド及びスイープディレイ時間の選択
電圧ステップが印加され、全ての内部容量が完全にチャージされたときのデバイスの状態を平衡状態と呼ぶ。もしその平衡状態に至る前に容量測定が行われると精度を欠いた結果となる。CV スweepにおけるデ

ィレー時間を選択するため、サンプリングモードを使い電圧をステップ印加し、時間に対する容量値をプロットした後グラフ上でセトリング時間を観測する。その時間を最初の印加電圧に対するホールド時間、もしくはスイープ時の各電圧ステップ毎のスイープディレイ時間に使用する。スイープディレイ時間は最初のステップと同じ長さである必要はないが、いずれにしても適切な時間の検証実験を実施する必要がある。

- ・タイミングメニューでの適切なスピードモードの選択
スピードモード機能により測定のセトリングや積分時間の調整が可能となる。ピコファラドかそれ以下の容量値の低い測定を最適に行うためには Quite もしくは Custom スピードモードを使用する。
- ・ガーディングの使用
微小容量の測定を行う場合、ガーディングは測定精度を妨げる要因となるデバイスの使用していない端子からの浮遊容量の影響の低減に効果的である。たとえば、ゲート、ドレイン端子間の容量を測定する場合は、FET のソース端子をそのガードに接続する。モデル 4210CVU のガード端子は同軸ケーブルの外部シールドになる。

結論

適切な計測機器と測定手法を用いることにより CNT FET における最適な電気特性評価が可能となる。4200-SCS 型はハードウェア、ソフトウェアそして解析ツールが統合されたシステムのため、CNT FET やその他のナノデバイスの電気的特性評価を行うために理想的なツールである。4200-SMU 型は CNT FET の V_{ds} -Id、 V_{gs} -Id、抵抗またはそれ以外の IV 測定を行うソース・メジャー・ユニット、また 4225-PMU 型は DUT の過渡応答特性やパルス IV 測定が行える超高速 IV 測定モジュール、さらにモデル 4210-CVU は C-V、C-f、C-t 測定が行える容量測定計である。4200-SCS 型に内蔵されている CNTFET プロジェクトを使用することによりその測定設定や実行がより簡単に行える。

A G R E A T E R M E A S U R E O F C O N F I D E N C E

KEITHLEY

ケースレーインストルメンツ株式会社

本社 ■ 〒 105-0022 ■ 東京都港区海岸 1-11-1 ニューピア竹芝ノースタワー 13F ■ TEL:03-5733-7555 ■ FAX:03-5733-7556

大阪オフィス ■ TEL: 06-6396-1630 ■ FAX:06-6396-1634 ■ Web site : www.keithley.jp ■ E mail : info.jp@keithley.com

© Copyright 2011 Keithley Instruments, Inc.



No. 3118